

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

2/Priority P  
Step 700  
4-19

JCB18 U.S. PTO  
10/017318  
12/18/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 52870 호  
Application Number PATENT-2001-0052870

출원 년 월 일 : 2001년 08월 30일  
Date of Application AUG 30, 2001

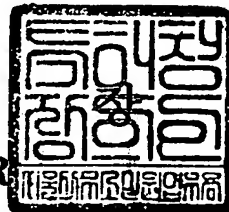
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2001      년    11      월    23      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0003  
**【제출일자】** 2001.09.24  
**【발명의 명칭】** 반도체 기억장치 및 센스앰프의 구동방법  
**【발명의 영문명칭】** Semiconductor Memory Device and Driving Method for Sense Amplifier

## 【출원인】

**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8

## 【대리인】

**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2

## 【발명자】

**【성명의 국문표기】** 박산하  
**【성명의 영문표기】** PARK, San Ha  
**【주민등록번호】** 681207-1122737  
**【우편번호】** 361-480  
**【주소】** 충청북도 청주시 흥덕구 향정동 1번지  
**【국적】** KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 특허법인 신성 (인)

## 【수수료】

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	2 면	2,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	12 항	493,000 원
<b>【합계】</b>	524,000 원	

1020010058974

출력 일자: 2001/11/27

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 저전압 동작시 센스앰프의 동작 전압을 추가적으로 확보하여 센싱속도를 향상시킨 개선된 BSG회로가 적용된 반도체 기억장치를 제공하기 위하여, 메모리 셀 데이터를 증폭하는 센스앰프; 상기 센스앰프의 풀업소스라인(CSP) 및 풀다운소스라인(CSN)을 구동하되, 제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bpg}$  구동신호)에 응답하여 상기 풀다운소스라인(CSN)을 순차적으로 그라운드전압  $V_{ss}$  및 부스트된 그라운드 전압  $V_{bpg}$ 로 구동하는 센스앰프구동수단; 상기 제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bpg}$  구동신호)를 생성하며, 상기 제1제어신호의 타이밍 조절에 의해 상기 풀다운소스라인(CSN)의 그라운드전압  $V_{ss}$  구동시간을 설정하는 센스앰프구동제어수단; 및 상기 부스트된 그라운드 전압  $V_{bpg}$ 을 생성하는 부스트된그라운드전압( $V_{bpg}$ )생성수단을 포함하는 것을 특징으로 한다.

**【대표도】**

도 1

**【색인어】**

부스트, 그라운드전압, 메모리, 저전압, 속도개선

【명세서】

【발명의 명칭】

반도체 기억장치 및 센스앰프의 구동방법{Semiconductor Memory Device and Driving Method for Sense Amplifier}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 기억장치를 보이는 개략구성도,

도 2는 본 발명에 따른 반도체기억장치에 있어서, 센스앰프구동단 제어부의 요부를 보이는 회로도,

도 3은 본 발명에 따른 반도체기억장치에 있어서, 센스앰프구동부의 요부를 보이는 회로도,

도 4는 본 발명에 따른 반도체기억장치내 센스앰프의 액티브 및 프리차지 동작시 타이밍차트,

도 5는 종래기술에 따른 센스앰프구동부 및 센스앰프측 전압파형의 일실시예,

도 6은 종래기술에 따른 센스앰프구동부 및 센스앰프측 전압파형의 다른 실시예.

<도면의 주요 부분에 대한 부호의 설명>

110: 센스앰프

120: 센스앰프구동부

130: 센스앰프구동제어부

140: 부스트된그라운드전압생성부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체기억장치에 관한 것으로서, 특히 BSG(Boosted Sense Ground) 회로기술에 의하여 저전압화에 적합한 DRAM 계열 전반의 반도체 기억장치의 RAS(Row Address Strobe) 대기시간(Latency) 개선의 적용에 유효한 기술에 관한 것이다.

<11> 예를들면, 종래기술로서 일본공개특허공보 평성11-87649호(1999. 3. 30.자 공개)의 반도체기억장치는 복수의 워드선과 복수의 비트선과의 교점에 격자모양으로 배치된 복수의 메모리셀, 및 데이터를 증폭하는 센스앰프로 된 메모리셀어레이와, 그 메모리셀어레이로부터 임의의 메모리셀을 선택하는 디코더와, 그 디코더에 의해 선택된 메모리셀에 대한 데이터의 리드 및 라이트를 위하여 입출력제어를 수행하는 입출력제어회로로 되고, 상기 비트선의 신호량을 충분히 확보하기 위하여 상기 센스앰프를 BSG회로로 하고, 상기 메모리셀을 SOI기판상에 형성하여 구성되어 있는 것을 특징으로 한다. 그러나, 이러한 회로적 구성은 전원전압이 낮아질수록 반도체 기억장치의 액티브시 센스앰프의 구동전압이 감소하여 속도지연을 초래하거나 동작이 불가능하게 될 수도 있는 심각한 문제를 안고 있다.

- <12> 종래기술의 다른 회로적 구성을 예로 들어 설명하면 다음과 같다.
- <13> 도 5는 종래기술에 따른 센스앰프구동부 및 센스앰프측 전압파형의 일실시예이다.
- <14> 이와 같은 센스앰프구동부를 가지면 PSA구동신호에 따라 센스앰프의 풀업소스라인 CSP에는 Vcell10의 전압이 인가되고, Vss구동신호에 따라 센스앰프의 풀다운소스라인 CSN에는 Vss의 전압이 인가된다. 즉, 액티브시 NMOS 센스앰프의 게이트와 소오스사이에 걸리는 전압Vgs은 다음 수학적식과 같은 전압이 걸리게 된다.
- <15> **【수학적식 1】** 
$$V_{gs} = \frac{V_{Cell0}}{2}$$
- <16> 도 6은 종래기술에 따른 센스앰프구동부 및 센스앰프측 전압파형의 다른 실시예로서, BSG방식을 채택한 경우이다.
- <17> BSG 방식은 센스앰프의 풀다운소스라인(CSN)을 접지전압(Vss)보다 높은 Vbsg로 구동하는 방식이다. 이와 같은 센스앰프구동부를 가지면 PSA구동신호에 따라 센스앰프의 풀업소스라인 CSP에는 Vcell11(=Vcell10+Vbsg)의 전압이 인가되고, 부스트된 그라운드 전압 Vbsg구동신호에 따라 센스앰프의 풀다운소스라인 CSN에는 부스트된 그라운드 전압 Vbsg의 전압이 인가되어, 액티브시 NMOS 센스앰프의 게이트와 소오스사이에 걸리는 전압Vgs은 다음 수학적식과 같은 전압이 걸린다.

<18> **【수학적식 2】** 
$$V_{gs} = \frac{V_{Cell11} - V_{bsg}}{2} = \frac{V_{Cell0}}{2}$$



<19> 즉, BSG회로를 구비하는 것과는 무관하게 액티브시 NMOS 센스앰프의 게이트와 소오스사이에 걸리는 전압 $V_{gs}$ 은  $V_{cell10}/2$ 로 일정한 값을 가지며, 센스앰프의 구동전압을 충분히 크게 할 수 없어 저전원접압하에서의 속도개선이 어렵다.

<20> 또한, 종래의 BSG 방식을 칩 내부에서 별도로 생성된 전압  $V_{bsg}$ 를 사용하기 때문에, 전류의 소모가 큰 센싱 초기에 노이즈가 커서 센싱 동작의 안정성이 문제시된다.

#### 【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기와 같은 문제점을 해결하기 위하여 저전원전압 동작시 센스앰프의 동작 전압을 추가적으로 확보하여 센싱속도를 향상시킨 개선된 BSG회로가 적용된 반도체 기억장치를 제공함에 목적이 있다.

<22> 본 발명의 다른 목적은 센스 앰프의 구동초기에 노이즈를 감소시켜 센싱 동작의 안정성을 개선한 반도체 기억장치를 제공함에 있다.

<23> 본 발명의 또 다른 목적은 저전원전압에서의 동작 속도 개선 및 동작 안정성 개선을 위한 반도체 기억장치의 센스앰프 구동방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<24> 상기의 목적을 달성하기 위하여 본 발명의 반도체 기억장치는, 메모리 셀 데이터를 증폭하는 센스앰프; 상기 센스앰프의 풀업소스라인(CSP) 및 풀다운소스라인(CSN)을 구동하되, 제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bsg}$

구동신호)에 응답하여 상기 풀다운소스라인(CSN)을 순차적으로 그라운드전압  $V_{ss}$  및 부스트된 그라운드 전압  $V_{bss}$ 로 구동하는 센스앰프구동수단; 상기 제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bss}$  구동신호)를 생성하며, 상기 제1제어신호의 타이밍 조절에 의해 상기 풀다운소스라인(CSN)의 그라운드전압  $V_{ss}$  구동시간을 설정하는 센스앰프구동제어수단; 및 상기 부스트된 그라운드 전압  $V_{bss}$ 을 생성하는 부스트된그라운드전압( $V_{bss}$ )생성수단을 포함하는 것을 특징으로 한다.

<25> 또한, 본 발명은 상기 센스앰프의 구동전원이 상기 그라운드전압  $V_{ss}$ 에서 상기 부스트된 그라운드 전압  $V_{bss}$ 으로 전환하는 시점은 비트선 일측의 전압이 상기 부스트된 그라운드 전압  $V_{bss}$ 보다 더 낮은 순간임을 특징으로 한다.

<26> 또한, 본 발명의 상기 센스앰프구동제어수단은, 센스앰프인에블바(SAEBi) 신호가 입력되면 복수의 논리소자로 이루어진 버퍼링부를 거쳐 그라운드전압  $V_{ss}$  구동신호, 부스트된 그라운드전압  $V_{bss}$  구동신호 및 PMOS센스앰프 PSA 구동신호를 출력하되, 상기 버퍼링부는 상기 그라운드전압  $V_{ss}$  구동구간의 설정을 위한 지연부를 포함하는 것을 특징으로 한다.

<27> 또한, 본 발명은 상기 지연부에서의 지연시간에 따라 비트선이 상기 부스트된 그라운드전압  $V_{bss}$ 까지 구동되는 시간이 결정되는 것을 특징으로 한다.

<28> 또한, 본 발명의 상기 지연부는 메탈 옵션(metal option)을 포함하는 것을 특징으로 한다.

<29> 또한, 본 발명의 반도체 기억장치는, 메모리 셀 데이터를 증폭하는 센스앰프; 상기 센스앰프의 제1센스앰프구동라인에 셀전압  $V_{cell}$ 을 인가하기 위하여 셀전압

Vcell인가부가 제1센스앰프구동라인에 연결되고, 상기 센스앰프의 제2센스앰프구동라인에 그라운드 전압 Vss 및 부스트된 그라운드 전압 Vbsg를 인가하기 위하여 그라운드전압 Vss인가부와 부스트된 그라운드전압 Vbsg인가부가 병렬로 제2센스앰프구동라인에 연결되는 센스앰프구동수단; 상기 센스앰프구동수단의 상기 셀전압 Vcell인가부와, 상기 그라운드전압 Vss인가부 및 상기 부스트된 그라운드전압 Vbsg인가부를 각기 제어하기 위한 센스앰프구동제어수단; 및 상기 센스앰프구동수단에 상기 부스트된 그라운드 전압 Vbsg을 인가하기 위하여 상기 부스트된 그라운드 전압 Vbsg을 생성하는 부스트된그라운드전압생성수단을 포함하는 것을 특징으로 한다.

<30> 또한, 본 발명의 상기 그라운드전압 Vss 및 상기 부스트된 그라운드 전압 Vbsg의 인가는 순차적으로 이루어지는 것을 특징으로 한다.

<31> 또한, 본 발명의 센스앰프 구동방법은, 풀업소스라인 및 풀다운소스라인을 갖는 센스앰프의 구동방법에 있어서, 상기 풀업소스라인을 그라운드전압으로 초기 구동하는 제1 단계; 및 상기 제1 단계 후, 상기 풀업소스라인을 부스트된그라운드전압으로 구동하는 제2 단계를 포함하며, 상기 풀업소스라인은 셀전압으로 구동하는 것을 특징으로 한다.

<32> 본 발명은 본 발명에 따른 반도체 기억장치의 액티브시 NMOS 센스앰프의 게이트-소오스간 전압 Vgs와 드레인-소오스간 전압 Vds를 크게 가져가기 위하여, 내부에서 발생된 약한 전원을 사용하지 않고, 외부에서 공급되는 강한 전원(Vbsg → Vss)을 이용한다. 또한, 본 발명은 비트선의 구동이 종료되는 시점에서 부스

트된 그라운드전압  $V_{bsg}$ 으로 구동전원을 변경함으로써 BSG 회로의 장점을 그대로 유지한다.

<33> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<34> 도 1은 본 발명에 따른 반도체 기억장치를 보이는 개략구성도이다.

<35> 본 발명의 반도체 기억장치는 메모리셀로부터 독출되는 데이터를 증폭하는 센스앰프(110), 센스앰프(110)의 풀업소스라인(CSP) 및 풀다운소스라인(CSN)을 구동하되, 상기 풀다운소스라인(CSN)에 그라운드전압  $V_{ss}$  및 부스트된 그라운드전압  $V_{bsg}$ 을 선택적으로 인가하는 센스앰프구동부(120), 센스앰프구동부 내 복수의 전계효과트랜지스터에 제어신호를 인가하는 센스앰프구동제어부(130) 및 센스앰프구동부(120)에 부스트된 그라운드전압  $V_{bsg}$ 을 인가하기 위하여 부스트된 그라운드전압  $V_{bsg}$ 을 생성하는 부스트된그라운드전압생성부(140)를 포함한다.

<36> 도 2는 본 발명에 따른 반도체기억장치에 있어서, 센스앰프구동제어부(130)의 요부를 보이는 회로도이다.

<37> 센스앰프인에블바(SAEBi) 신호가 입력되면 복수의 논리소자로 이루어진 버퍼링부를 거쳐 그라운드전압  $V_{ss}$  구동신호, 부스트된 그라운드전압  $V_{bsg}$  구동신호 및 PMOS센스앰프 PSA 구동신호가 출력되며, 상기 버퍼링부는 그라운드전압  $V_{ss}$  구동구간의 설정을 위하여 필요한 지연부를 포함한다. 이 때 지연부에서의 지연시간의 결정은 비트선이 부스트된 그라운드전압  $V_{bsg}$ 까지 구동되는 시간 정

도를 설정하여 결정하며, 지연시간의 변경이 가능하도록 메탈 옵션(metal option)을 첨가하여 구성된다.

<38> 도 3은 본 발명에 따른 반도체기억장치에 있어서, 센스앰프구동부의 요부를 보이는 회로도이다.

<39> 본 발명의 센스앰프구동부는 센스앰프의 구동시, 센스앰프의 풀업소스라인(CSP)에는 제1전압  $V_{cell}$ 을 인가하고, 센스앰프의 풀다운소스라인(CSN)에는 제2전압  $V_{ss}$  및 제3전압  $V_{bpg}$ 을 시간의 진행에 따라 순차적으로 인가한다. 센스앰프의 풀업소스라인(CSP)에 제1전압을 인가하기 위하여 PMOS의 소오스측과 드레인측에 각각 센스앰프의 풀업소스라인(CSP)과 제1전압  $V_{cell}$ 이 연결된다. 또한, 센스앰프의 풀다운소스라인(CSN)에 제2전압  $V_{ss}$  및 제3전압  $V_{bpg}$ 을 인가하기 위하여 두개의 NMOS의 드레인측이 병렬연결되어 센스앰프의 풀다운소스라인(CSN)에 연결되고, 두 NMOS의 소오스측에는 각각 제2전압  $V_{ss}$  및 제3전압  $V_{bpg}$ 이 연결된다.

<40> 한편, 센스앰프의 풀업소스라인(CSP)에 공급되는 제1전압( $V_{cell}$ )은 셀에 저장되는 High 데이터 레벨을 나타내는 것으로, 통상 내부  $V_{cc}$ 로 볼 수 있으나, 이는 외부에서 인가되는 전원전압, 예를 들면  $V_{cc}$ 와 같은 전원을 인가하여 추가적으로 사용할 수도 있다.

<41> 도 4는 본 발명에 따른 반도체기억장치내 센스앰프의 액티브 및 프리차지 동작시 타이밍차트이다.

<42> 센스앰프 인에이블 신호(SAEBi)가 'L'상태로 액티브되면, 센스앰프 SA의 풀다운소스라인(CSN)의 구동전원으로 그라운드전압  $V_{ss}$ 를 사용하여 센스앰프 SA를

구동하고(I 구간), 일정시간이 지나 비트선 BL, BLB의 전압차가 커지면 그라운드 전압 Vss 구동을 중단하고, 부스트된 그라운드전압 Vbsg으로 센스앰프의 풀다운 소스라인(CSN)을 구동한다(II 구간).

<43> I 구간 및 II 구간에서의 센스앰프의 풀다운소자인 NMOS의 게이트와 소오스 사이에 걸리는 전압Vgs은 다음과 같다.

<44> 【수학식 3】 I 구간,

$$\begin{aligned}
 <45> \quad V_{gs} &= \frac{V_{Cell1} - V_{bsg}}{2} + V_{bsg} \\
 &= \frac{V_{Cell1} + V_{bsg}}{2} \\
 &= \frac{V_{Cell0} + 2V_{bsg}}{2} \\
 &= \frac{V_{Cell0}}{2} + V_{bsg}
 \end{aligned}$$

<46> 【수학식 4】 II 구간,

$$<47> \quad V_{gs} = \frac{V_{Cell1} - V_{bsg}}{2} = \frac{V_{Cell0}}{2}$$

<48> 즉, NMOS 센스앰프의 I 구간 구동전원을 종래의 부스트된 그라운드전압

Vbsg에서 그라운드전압 Vss로 변경함으로써 NMOS의 게이트-소오스간 전압 Vgs가

$$V_{gs} = \frac{V_{Cell1} - V_{bsg}}{2} = \frac{V_{Cell0}}{2} \quad \text{에서} \quad V_{gs} = \frac{V_{Cell1} - V_{bsg}}{2} + V_{bsg} \quad \text{내지} \quad V_{gs} = \frac{V_{Cell0}}{2} + V_{bsg} \quad \text{로 높아}$$

질 수 있다.

<49> 또한, NMOS 센스앰프의 Vds 역시 Vgs와 동일하게 높아지게 된다.

<50> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지

로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

#### 【발명의 효과】

<51>       본 발명의 구성에 따라 저전압 동작시 센스앰프의 동작 전압(즉, 폴다운소스라인 구동전압)을 추가적으로 확보할 수 있어 동작속도를 개선시킬 수 있고, 전류의 대부분을 소비하는 센싱 초기의 NMOS 센스앰프의 구동전원을  $V_{bss}$ 와 같이 내부에서 생성된 전원을 사용하지 않고 외부에서 공급되는 강한 전원( $V_{ss}$ )을 사용함으로써 전원에서의 노이즈가 감소되며, 이에 따라 센싱속도의 개선과 안정성의 확보가 가능한 현저하고도 유리한 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기억장치에 있어서,

메모리 셀 데이터를 증폭하는 센스앰프;

상기 센스앰프의 풀업소스라인(CSP) 및 풀다운소스라인(CSN)을 구동하되,  
제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bpg}$  구동신호)에 응답하여 상기 풀다운소스라인(CSN)을 순차적으로 그라운드전압  $V_{ss}$  및 부스트된 그라운드 전압  $V_{bpg}$ 로 구동하는 센스앰프구동수단;

상기 제1제어신호( $V_{ss}$  구동신호)와 제2제어신호( $V_{bpg}$  구동신호)를 생성하며, 상기 제1제어신호의 타이밍 조절에 의해 상기 풀다운소스라인(CSN)의 그라운드전압  $V_{ss}$  구동시간을 설정하는 센스앰프구동제어수단; 및

상기 부스트된 그라운드 전압  $V_{bpg}$ 을 생성하는 부스트된그라운드전압( $V_{bpg}$ ) 생성수단

을 포함하는 것을 특징으로 하는 반도체 기억장치.

**【청구항 2】**

제1항에 있어서,

상기 센스앰프의 구동전원이 상기 그라운드전압  $V_{ss}$ 에서 상기 부스트된 그라운드 전압  $V_{bpg}$ 으로 전환하는 시점은 비트선 일측의 전압이 상기 부스트된 그라운드 전압  $V_{bpg}$ 보다 더 낮은 순간임을 특징으로 하는 반도체 기억장치.



**【청구항 3】**

제1항에 있어서, 상기 센스앰프구동제어수단은,

센스앰프인에블바(SAEBi) 신호가 입력되면 복수의 논리소자로 이루어진 버퍼링부를 거쳐 그라운드전압  $V_{ss}$  구동신호, 부스트된 그라운드전압  $V_{bssg}$  구동신호 및 PMOS센스앰프 PSA 구동신호를 출력하되, 상기 버퍼링부는 상기 그라운드전압  $V_{ss}$  구동구간의 설정을 위한 지연부를 포함하는 것을 특징으로 하는 반도체 기억장치.

**【청구항 4】**

제3항에 있어서,

상기 지연부에서의 지연시간에 따라 비트선이 상기 부스트된 그라운드전압  $V_{bssg}$ 까지 구동되는 시간이 결정되는 것을 특징으로 하는 반도체 기억장치.

**【청구항 5】**

제3항에 있어서,

상기 지연부는 메탈 옵션(metal option)을 포함하는 것을 특징으로 하는 반도체 기억장치.

**【청구항 6】**

반도체 기억장치에 있어서,

메모리 셀 데이터를 증폭하는 센스앰프;

상기 센스앰프의 제1센스앰프구동라인에 셀전압  $V_{cell}$ 을 인가하기 위하여 셀전압  $V_{cell}$ 인가부가 제1센스앰프구동라인에 연결되고, 상기 센스앰프의 제2센스앰프구동라인에 그라운드 전압  $V_{ss}$  및 부스트된 그라운드 전압  $V_{bgs}$ 를 인가하기 위하여 그라운드전압  $V_{ss}$ 인가부와 부스트된 그라운드전압  $V_{bgs}$ 인가부가 병렬로 제2센스앰프구동라인에 연결되는 센스앰프구동수단;

상기 센스앰프구동수단의 상기 셀전압  $V_{cell}$ 인가부와, 상기 그라운드전압  $V_{ss}$ 인가부 및 상기 부스트된 그라운드전압  $V_{bgs}$ 인가부를 각기 제어하기 위한 센스앰프구동제어수단; 및

상기 센스앰프구동수단에 상기 부스트된 그라운드 전압  $V_{bgs}$ 을 인가하기 위하여 상기 부스트된 그라운드 전압  $V_{bgs}$ 을 생성하는 부스트된그라운드전압생성수단

을 포함하는 것을 특징으로 하는 반도체 기억장치.

#### 【청구항 7】

제6항에 있어서,

상기 그라운드전압  $V_{ss}$  및 상기 부스트된 그라운드 전압  $V_{bgs}$ 의 인가는 순차적으로 이루어지는 것을 특징으로 하는 반도체 기억장치.

**【청구항 8】**

제7항에 있어서,

상기 센스앰프의 구동전원이 상기 그라운드전압  $V_{ss}$ 에서 상기 부스트된 그라운드 전압  $V_{bsg}$ 으로 전환하는 시점은 비트선 일측의 전압이 상기 부스트된 그라운드 전압  $V_{bsg}$ 보다 더 낮은 순간임을 특징으로 하는 반도체 기억장치.

**【청구항 9】**

제6항에 있어서, 상기 센스앰프구동제어수단은,

센스앰프인에블바(SAEBi) 신호가 입력되면 복수의 논리소자로 이루어진 버퍼링부를 거쳐 그라운드전압  $V_{ss}$  구동신호, 부스트된 그라운드전압  $V_{bsg}$  구동신호 및 PMOS센스앰프(PSA) 구동신호를 출력하되, 상기 버퍼링부는 상기 그라운드 전압  $V_{ss}$  구동구간의 설정을 위한 지연부를 포함하는 것을 특징으로 하는 반도체 기억장치.

**【청구항 10】**

제9항에 있어서,

상기 지연부에서의 지연시간에 따라 비트선이 상기 부스트된 그라운드전압  $V_{bsg}$ 까지 구동되는 시간이 결정되는 것을 특징으로 하는 반도체 기억장치.

【청구항 11】

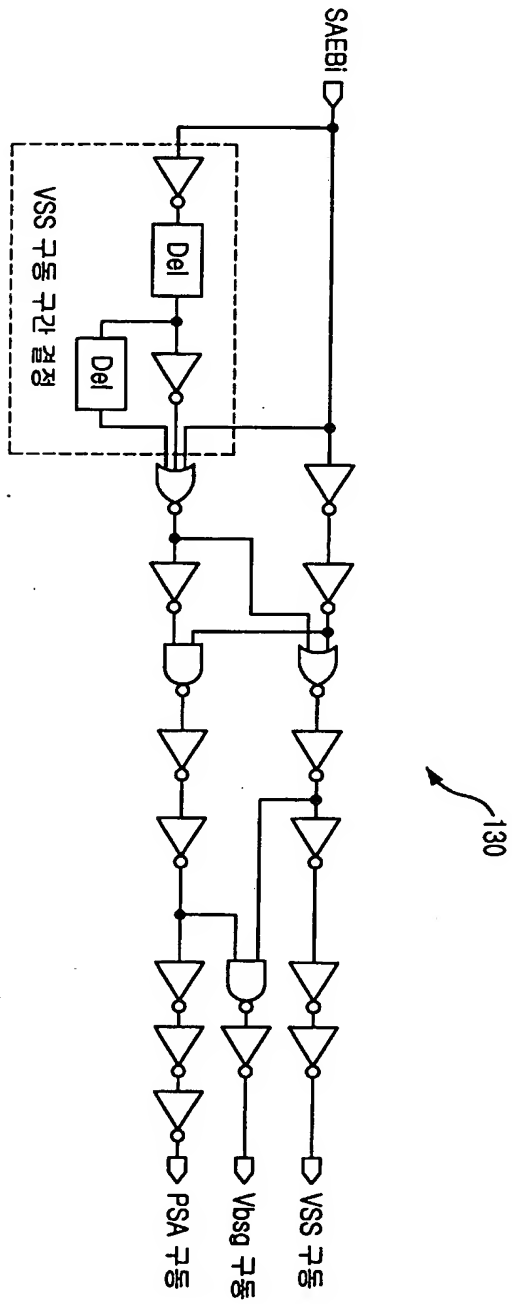
제9항에 있어서,  
상기 지연부는 메탈 옵션(metal option)을 포함하는 것을 특징으로 하는 반도체 기억장치.

【청구항 12】

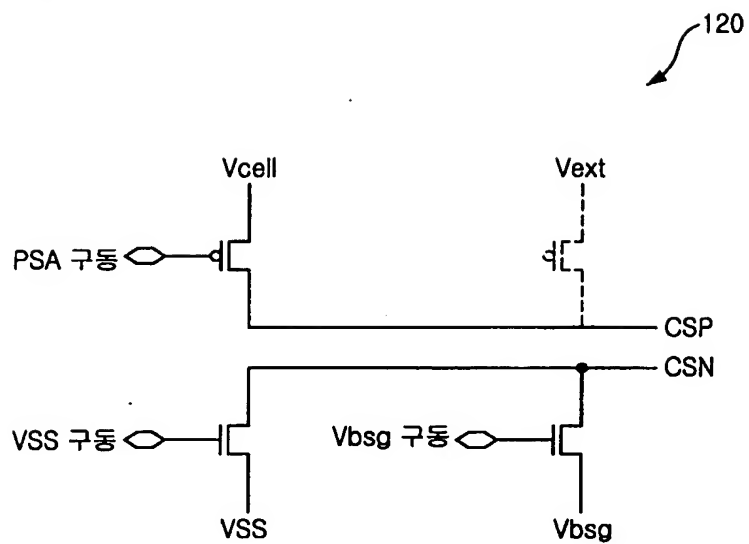
풀업소스라인 및 풀다운소스라인을 갖는 센스앰프의 구동방법에 있어서,  
상기 풀업소스라인을 그라운드전압으로 초기 구동하는 제1 단계; 및  
상기 제1 단계 후, 상기 풀업소스라인을 부스트된 그라운드전압으로 구동하는 제2 단계를 포함하며,  
상기 풀업소스라인은 셀전압으로 구동하는 것을 특징으로 하는 센스앰프의 구동방법.



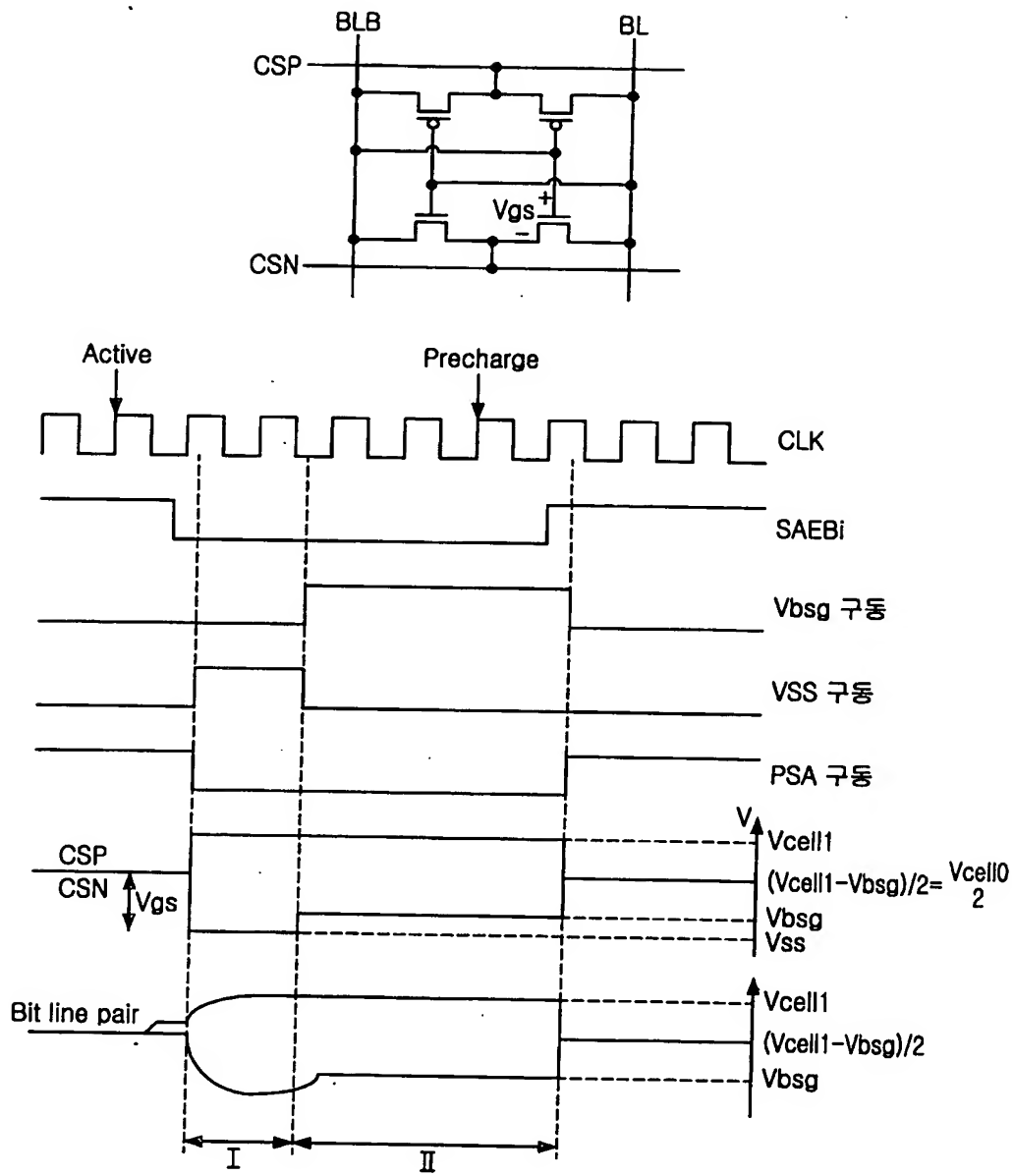
【도 2】



【도 3】

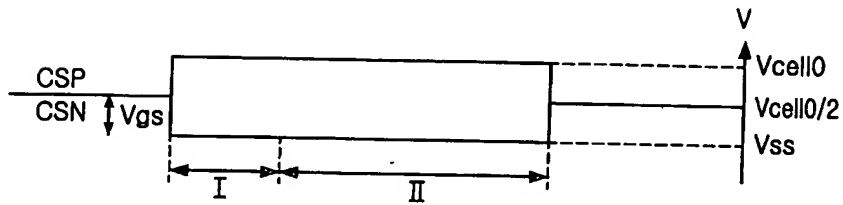
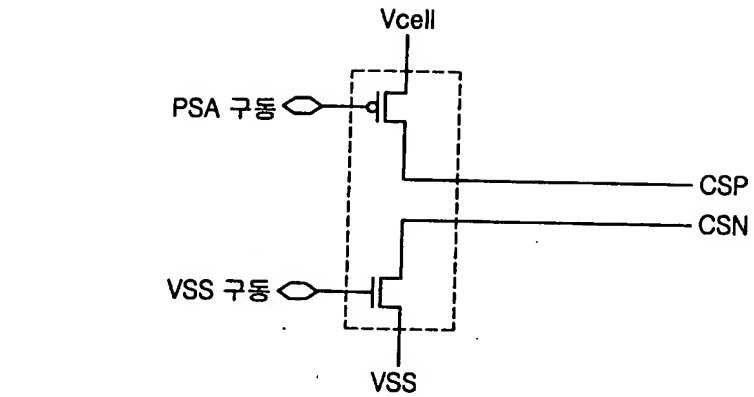


【도 4】





【도 5】



【도 6】

